

Docket No.: 2336-258

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	
	:	
Sang Bok YUN et al.	:	Confirmation No. <i>Not yet assigned</i>
	:	
U.S. Patent Application No. <i>Not yet assigned</i>	:	Group Art Unit: <i>Not yet assigned</i>
	:	
Filed: <i>Herewith</i>	:	Examiner: <i>Not yet assigned</i>

For: SEMICONDUCTOR LASER DEVICE AND METHOD FOR MANUFACTURING  
THE SAME

**CLAIM OF PRIORITY AND**  
**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

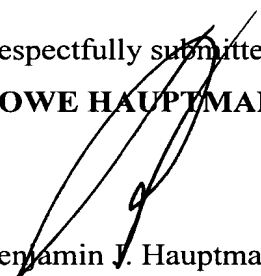
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims, in the present application, the priority of *Korean Patent Application No. 2003-0041838, filed June 26, 2003*. The certified copy is submitted herewith.

Respectfully submitted,

**LOWE HAUPTMAN GILMAN & BERNER, LLP**

  
Benjamin J. Hauptman  
Registration No. 29,310

1700 Diagonal Road, Suite 310  
Alexandria, Virginia 22314  
(703) 684-1111 BJH/etp  
Facsimile: (703) 518-5499  
**Date: March 30, 2004**



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0041838  
Application Number

출원 년 월 일 : 2003년 06월 26일  
Date of Application JUN 26, 2003

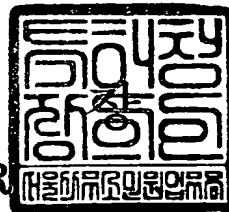
출원인 : 삼성전기주식회사  
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003 년 10 월 20 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.06.26
【국제특허분류】	H01L 5/30
【발명의 명칭】	반도체 레이저 소자 및 그 제조방법
【발명의 영문명칭】	Semiconductor Laser device and Producing Method Thereof
【출원인】	
【명칭】	삼성전기 주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【성명】	손원
【대리인코드】	9-1998-000281-5
【포괄위임등록번호】	2002-047982-8
【대리인】	
【성명】	함상준
【대리인코드】	9-1998-000619-8
【포괄위임등록번호】	2002-047984-2
【발명자】	
【성명의 국문표기】	윤상복
【성명의 영문표기】	YUN, Sang Bok
【주민등록번호】	730713-1226411
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 권선주공3단지 335동 1404호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 손원 (인) 대리인 함상준 (인)



1020030041838, ,

출력 일자: 2003/10/22

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 5 면 5,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 5 항 269,000 원

【합계】 303,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 레이저 소자의 벽개면 상의 결의 형성을 방지하기 위해 리지를 벽개면 안쪽으로 매립시킨 반도체 레이저 소자 및 그 제조 방법에 관한 것으로, 본 발명에 따른 반도체 레이저 소자를 제조하는 방법은, 기판 상에 적어도 제1 도전형 클래드층, 활성층, 제2 도전형 클래드층을 순차적으로 형성하는 단계와, 상기 제2 도전형 클래드층 상면에, 레이저 출사면 측 단면 및 그 반대측 단면으로부터 소정의 간격으로 이격된 위치에 리지를 형성하기 위한 마스크를 형성하는 단계와, 상기 마스크를 이용하여 상기 제2 도전형 클래드층을 소정의 두께로 에칭하여 리지를 형성하는 단계 및 상기 형성된 리지 주변에 제1 도전형 반도체 물질로 이루어진 전류제한층을 형성하는 단계를 포함한다.

본 발명에 의하면, 반도체 레이저 소자의 벽개면에 결발생을 방지할 수 있으며, 이를 통해 반도체 레이저 소자의 발진 특성 및 신뢰도를 개선, 향상시킬 수 있는 효과가 있다.

**【대표도】**

도 4b

**【색인어】**

반도체 레이저, 반도체 레이저 소자, 반도체 레이저 다이오드, 리지, 벽개, 벽개면, LD

【명세서】

【발명의 명칭】

반도체 레이저 소자 및 그 제조방법{Semiconductor Laser device and Producing Method  
Thereof}

【도면의 간단한 설명】

도 1a는 종래의 반도체 레이저 소자의 사시도이다.

도 1b는 종래의 반도체 레이저 소자의 리지 형성 후의 평면도이다

도 2는 종래의 반도체 레이저 소자의 웨이퍼 상태를 도시한 평면도이다.

도 3은 종래의 반도체 레이저 소자의 벽개면에 발생하는 결의 형태를 도시한  
단면도이다.

도 4a ~ 도 4c는 본 발명의 일 실시형태에 따른 반도체 레이저 소자의 제조 공정을 단계  
별로 도시한 사시도이다.

도 5a 및 도 5b는 본 발명의 일 실시형태에 따른 반도체 레이저 소자의 단면도이다.

도 6은 본 발명의 일 실시형태에 따른 반도체 레이저 소자의 웨이퍼 상태를 도시한 평면  
도이다.

<도면의 주요부분에 대한 부호의 설명>

41 : 제1 도전형 기판    42 : 제1 도전형 클래드층

43 : 활성층            44 : 제2 도전형 클래드층

44a : 리지            46 : 전류저지층

## 47 : 오믹 콘택층

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 반도체 레이저 소자의 제조방법에 관한 것으로, 보다 상세하게는 반도체 레이저 소자의 벽개면 상의 결의 형성을 방지하기 위해 리지를 벽개면 안쪽으로 매립시킨 반도체 레이저 소자 및 그 제조 방법에 관한 것이다.
- <14> 일반적으로 반도체 레이저 소자는 그 체적이 매우 작고 제조원가가 저렴하여 대량생산이 용이하고 수 mA의 구동전류로 고출력 레이저를 발진시킬 수 있어, 최근 CD, CD-RW, DVD, DVD-RW 등과 같은 광디스크 시스템의 광픽업장치를 위한 광원으로 뿐만 아니라, 광통신, 다중통신, 우주통신 등의 다양한 분야에 광범위하게 적용되고 있다. 특히, 광픽업장치 관련 분야에서는 기입속도를 증가시키기 위해 보다 높은 광출력을 갖는 반도체 레이저 소자를 필요로 하고 있으며, 제품품질 및 수명 향상을 위해 반도체 레이저 소자의 신뢰도 향상이 요구되고 있다.
- <15> 도 1a는 종래의 일반적인 반도체 레이저 소자의 사시도이며, 도 1b는 종래의 반도체 레이저 소자의 리지 형성 후의 평면도이고, 도 2는 종래의 반도체 레이저 소자의 웨이퍼 상태를 도시한 평면도이다. 도 1a, 도 1b 및 도 2를 참조하여 상기 종래의 반도체 레이저 소자의 제조

방법을 설명하면 다음과 같다. 이하에 설명되는 종래의 반도체 레이저 소자는 방출되는 레이저의 파장이 780nm 대인 AlGaAs계 반도체인 경우를 예로 한다.

<16> 도 1a에 도시된 바와 같이, 먼저, 제1 도전형의 n형 GaAs기판(11) 상에 n형 AlGaAs 클래드층(12)을 형성한다. 이어 상기 n형 AlGaAs 클래드층(12)의 상면에, 상기 n형 AlGaAs 클래드층(12)과는 조성이 다르고 다중 양자우물 구조(Multi-Quantum Well)를 갖는 AlGaAs계 활성층(13)을 형성한다. 이어 상기 n형 AlGaAs 클래드층(12)과는 조성이 같은 제2 도전형의 p형 AlGaAs 클래드층(14)을 형성한다. 이어 상기 p형 AlGaAs 클래드층(14)의 상부에 리지(14a)가 형성될 영역에 마스크를 형성한다. 상기 마스크가 배치되는 영역은 리지(14a)가 형성되는 영역으로서, 마스크가 형성된 부분은 이후의 에칭 공정에 의해 식각되지 않음으로써 리지(14a)가 형성될 수 있다. 이어, 상기 마스크(14a)가 형성될 부분을 제외한 나머지 부분을 에칭하여 리지(14a)를 형성하고, 상기 리지(14a)의 주변에 제1 도전형의 n형 GaAs층을 리지의 높이로 선택 성장하여 전류저지층(15)을 형성한다. 이어, 상기 리지(14a)와 전류저지층(15)의 상면을 p형 GaAs 오믹(Ohmic) 콘택(contact)층(16)을 형성한 후 상기 오믹 콘택층(16)의 상면 및 상기 n형 GaAs기판의 배면을 합금으로 증착하여 각각 전극(18, 17)을 형성한다. 상기과 같은 종래의 반도체 레이저 소자는 도 1b에 도시된 바와 같이 리지(14a)의 양측 단부가 반도체 레이저 소자의 양측 단면 영역(A)에 노출된다.

<17> 이와 같이, 리지의 양측 단부가 반도체 레이저 소자의 양측 단면 영역(A)에 노출되는 구조에서는, 웨이퍼 상태의 반도체 레이저 소자를 각각의 칩으로 분리할 때, 분리된 벽개면에 결이 발생하는 문제가 있다.



- <18> 도 2는 종래의 반도체 레이저 소자의 웨이퍼 상태를 도시한 평면도로, 도 2에 도시한 바와 같이 웨이퍼 상에 상기와 같은 방법으로 형성된 반도체 레이저 소자는, 바 메이킹(bar making) 공정을 통해 웨이퍼를 리지에 수직인 방향으로 벽개한 후 칩 메이킹(chip making) 공정을 통해 리지와 나란한 방향으로 벽개하여 각각의 반도체 레이저 소자로 분리된다.
- <19> 상기 바 메이킹(bar making) 공정은 도 2에 도시된 바와 같이 바 메이킹 선(22)을 따라 리지에 수직인 방향으로 웨이퍼를 벽개하는 공정이고, 상기 칩 메이킹(chip making) 공정은 칩 메이킹 선(23)을 따라 리지와 나란한 방향으로 벽개하는 것이다.
- <20> 상기한 바와 같이 종래의 반도체 레이저 소자의 제조 방법에서는 리지(21)를 형성하기 위해 마스크(21, 마스크가 형성된 부분에 이후 리지가 형성되므로 동일한 도면부호를 사용함)를 연속으로 웨이퍼 상에 형성한다. 이로 인해 벽개되기 전 웨이퍼 상에 형성된 각각의 반도체 레이저 소자의 리지(21)는 서로 연결된 상태이다. 이와 같은 웨이퍼 상태의 반도체 레이저 소자를 바 메이킹 공정에서 벽개하여 각각의 소자로 분리하면 각 반도체 레이저 소자의 양측 단면(A), 즉 벽개면(A)에 소자의 적층 구조, 특히 리지가 그대로 드러나게 된다. 상기 바 메이킹(bar making) 공정에서 바 메이킹(bar making)선(22)을 따라 반도체 레이저 소자를 벽개하는 과정에서, 리지(21)도 함께 벽개되어 그 양측 단부가 벽개면에 노출된다.
- <21> 도 1a에 도시한 바와 같이 반도체 레이저 소자는 복수개의 소재를 적층한 것으로, 각 층의 경계면이 다수 존재하는데, 이러한 경계면에는 서로 다른 조성의 층을 서로 적층하는데 있어 물리적인 결함이 존재할 수 있다. 이러한 물리적인 결함 때문에 벽개시 측면에서 가해지는 힘에 의해 벽개면 상에 결이 발생할 수 있다. 특히, 리지의 측면은 다른 경계면과는 달리 벽개시 인가되는 힘을 거의 수직으로 받기 때문에 힘의 방향을 변동시켜 결이 발생할 위험이 더욱

커진다. 이러한 결은 반도체 레이저 소자의 외관 불량을 발생시켜 출사되는 레이저의 특성에 악영향을 미친다.

<22> 도 3a, 도 3b 및 도 3c는 종래의 반도체 레이저 소자의 벽개면에서 발생하는 다양한 결의 모습을 도시한 것으로, 도 3a와 같이 리지(31) 주변에서 결(32)이 시작되어 기판과 n형 클래드층의 경계로 결이 진행할 수 있으며, 심한 경우에는 도 3b와 같이 리지(31)의 주변에서 발생한 결(32)이 기판의 일부에 이 형성될 수 있으며, 더 심한 경우에는 도 3c와 같이 리지(31)의 주변으로부터 기판 전체에 결(32)이 형성될 수 있다. 이와 같이 다양한 형태의 결이 반도체 레이저 소자의 벽개면에 생성될 수 있지만, 모두 리지 주위에서 결이 시작되어 리지의 하부로 진행하여 기판까지 형성될 수 있다. 따라서, 상기 결은 레이저광이 발진하는 활성층 영역을 통과하게 된다. 이러한 결에 의한 반도체 레이저 소자의 외관 불량이 레이저가 발진하는 활성층 영역에 발생함으로써, 균일한 레이저의 발진이 불가능하게 되고 출사되는 레이저의 지향성에 문제를 일으키며, 레이저 발진값의 상승을 초래하여 열화에 의한 신뢰도 열화를 가져오는 문제가 있다.

<23> 따라서, 당 기술분야에서는, 웨이퍼 상태의 반도체 레이저 소자를 벽개할 때, 결이 생성되는 것을 방지하여 레이저 발진 특성이 좋고 신뢰도가 우수한 반도체 레이저 소자 및 그 제조 방법이 요구되어 왔다.

**【발명이 이루고자 하는 기술적 과제】**

<24>        본 발명은 상기한 문제를 해결하기 위해 안출된 것으로, 그 목적은 반도체 레이저 소자의 벽개면에 리지가 노출됨으로 인해 벽개시 벽개면에 결이 발생하는 것을 방지하기 위해, 리지를 벽개면으로부터 소정의 간격으로 이격된 위치에 형성하여 벽개면의 구조를 단순화시킴으로써 결발생을 방지하고, 이를 통해 레이저 발진 특성이 좋고 신뢰도가 우수한 반도체 레이저 소자 및 그 제조방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

<25>        상기한 기술적 과제를 달성하기 위해서, 본 발명은,

<26>        제1 도전형 기판과, 상기 기판 상에 형성된 제1 도전형 클래드층과, 상기 제1 클래드층 상면에 형성된 활성층과, 상기 활성층 상면에 형성되며, 레이저 출사면측 단면 및 그 반대측 단면으로부터 소정의 간격으로 이격된 위치에 리지를 갖는 제2 도전형 클래드층 및 상기 리지의 주위에 형성되는 전류저지층을 포함하는 반도체 레이저 소자를 제공한다.

<27>        본 발명의 바람직한 실시형태에서는, 레이저 출사측 단면과 리지 사이의 상기 간격 및 그 반대측 단면과 리지 사이의 상기 간격은 최소 5 $\mu$ m 이상이며, 레이저 출사측 단면과 그 반대측 단면간 거리의 10 % 이내로 제한된다.

- <28> 또한, 본 발명은 반도체 레이저 소자의 리지를 벽개면으로부터 이격된 위치에 형성함으로써, 벽개면에 결이 발생하는 것을 방지할 수 있는 반도체 레이저 소자의 제조방법을 제공한다. 상기 방법은,
- <29> 기판 상에 적어도 제1 도전형 클래드층, 활성층, 제2 도전형 클래드층을 순차적으로 형성하는 단계와, 상기 제2 도전형 클래드층 상면에, 레이저 출사면측 단면 및 그 반대측 단면으로부터 소정의 간격으로 이격된 위치에 리지를 형성하기 위한 마스크를 형성하는 단계와, 상기 마스크를 이용하여 상기 제2 도전형 클래드층을 소정의 두께로 에칭하여 리지를 형성하는 단계 및 상기 형성된 리지 주변에 제1 도전형 반도체 물질로 이루어진 전류제한층을 형성하는 단계를 포함한다.
- <30> 본 발명의 일 실시형태에서 상기 리지를 형성하는 단계는 건식에칭방법으로 리지의 형태를 형성하는 과정 및 습식에칭방법으로 리지의 표면에 형성된 흠집을 제거하는 과정을 포함한다.
- <31> 이하, 첨부된 도면을 참조하여, 본 발명의 실시형태를 상세히 설명한다.
- <32> 도 4a 내지 도 4d는 본 발명에 따른 고차모드 흡수층을 갖는 반도체 레이저 소자의 제조방법을 그 순서대로 도시한 것이다. 도4a 내지 도 4d를 참조하여 설명되는 본 실시예는 780nm 파장의 레이저를 발진시키는 AlGaAs계 반도체 레이저 소자에 대한 것이나, 본 발명이 이에 한정되는 것은 아니다.

<33> 우선, 도 4a에 도시된 바와 같이 본 발명에 따른 반도체 레이저 소자는 그 배면에 합금으로 이루어진 제1 전극(미도시)이 형성된 제1 도전형 반도체 기판(41)과, 상기 기판(41) 상에 형성된 제1 도전형 클래드층(42)과, 상기 제1 클래드층(42) 상면에 형성된 활성층(43)과, 상기 활성층(43) 상면에 형성되는 제2 도전형 클래드층(44)을 MOCVD 또는 MOVPE 공정을 이용하여 순차적으로 형성한다. AlGaAs계 반도체 레이저 소자에서 상기 기판(41)은 통상 n형 GaAs 기판이고, 상기 제1 및 제2 도전형 클래드층(42, 44)은 각각 n형 및 p형 AlGaAs계 클래드층이며, 상기 활성층(43)은 양자우물구조를 갖는 AlGaAs계 활성층일 수 있다. 이와 같은 각 층은 앞서 제시된 순서에 의해 연속적인 공정으로 형성되는데, 이를 1차 성장과정이라고 한다. 한편, 도 4a에는 도시되지 않았으나, 기판(41)과 제1 도전형 클래드층(42) 사이에는 제1 도전형 버퍼층을 추가할 수도 있다. 그러나, 상기 제1 도전형 버퍼층은 상기 기판(41)과 제1 도전형 클래드층(42)의 결정정합을 위한 층에 불과하므로, 하기 설명과 첨부된 청구범위에서는 제1 도전형 클래드층(42)에 포함되는 의미로 사용된다.

<34> 이와 같이, 1차 성장과정이 완료되면, 상기 제2 도전형 클래드층(44) 상에 마스크(45)를 형성한다. 상기 마스크(45)가 배치되는 영역은 리지가 형성되는 영역이다. 즉, 마스크(45)가 형성된 부위는 이후의 에칭 공정에 의해 식각되지 않음으로써 리지가 형성될 수 있다. 상기 마스크(45)로는 SiO<sub>2</sub>막과 같은 산화막 또는 SiN막과 같은 질화막 등의 유전체막이 사용될 수 있으며, 상기 제2 클래드층(44) 내에는 에칭 정지층(미도시)이 포함되어 에칭에 의해 제2 클래드층(44)이 과도하게 식각되는 것을 방지할 수 있다.

<35> 종래의 반도체 레이저 소자의 제조공정에서는 마스크를 반도체 레이저 소자의 레이저 출사면에서 그 반대편 단면까지 형성하는데 반해, 본 발명에서는 상기 마스크(45)를 반도체 레이저 소자의 레이저 출사면 및 그 반대면으로부터 소정의 간격(W)으로 이격되게 설치한다. 이는 후속 공정에서 에칭에 의해 상기 간격(W)에 해당하는 부분까지 제거하여 리지가 레이저 출사면 및 그 반대측 단면으로부터 소정의 간격으로 이격되어 형성되도록 하기 위한 것이다.

<36> 여기에서, 상기 간격(W)은 최소  $5\mu\text{m}$  이상이며 반도체 레이저 소자의 레이저 출사측 단면과 그 반대측 단면간 거리의 10 % 이내의 크기를 갖는 것이 바람직하다. 예를 들면, 레이저 출사측 단면과 그 반대측 단면 간의 거리가  $200\mu\text{m}$ 일때 상기 간격(W)은  $5\mu\text{m}$  이상이며  $20\mu\text{m}$ 이내로 제한된다. 상기 간격(W)이  $5\mu\text{m}$ 보다 작은 경우에는 바 메이킹을 위해 웨이퍼를 벽개할 때 발생할 수 있는 벽개 오차로 인해 상기 간격(W)으로 이격된 리지가 벽개면에 노출될 수 있기 때문에, 이를 방지하기 위해서는 상기 간격(W)이  $5\mu\text{m}$  이상인 것이 바람직하다. 또한, 상기 간격이 레이저 출사측 단면과 그 반대측 단면간 거리의 10 %를 초과하는 경우에는 광출력의 게인(gain)이 감소하여 레이저 소자의 특성 열화가 발생할 수 있으므로, 상기 간격(W)은 반도체 레이저 소자의 레이저 출사측 단면과 그 반대측 단면 간 거리의 10% 이내인 것이 바람직하다.

<37> 다음으로, 도 4b와 같이 상기 제2 클래드층(44)의 마스크가 형성되지 않은 영역을 소정의 두께로 에칭하여 리지(44a)를 형성한다. 상기한 바와 같이, 마스크(45)가 반도체 레이저 소자의 레이저 출사면 및 그 반대면으로부터 소정의 간격(W)으로 이격되어 설치되었기 때문에, 리지(44a)의 메사형 측면부뿐만 아니라, 상기 간격(W)에 해당하는, 레이저 소자의 레이저 출사 단면과 리지(44a) 사이의 영역 및 출사 단면의 반대면과 리지(44a) 사이의 영역까지 에칭되어

제거된다. 상기 리지(44a)를 형성하기 위해서는 건식에칭 방법 및 습식에칭 방법이 함께 사용된다.

<38> 일반적으로 에칭에는 건식에칭 및 습식에칭의 두가지 방법이 있다. 건식에칭은 높은 분해능과 평탄화 기술에 필수불가결한 에칭단면의 이방적 특성을 제공하는 것으로, 그 방법에는 플라즈마 에칭, 리액티브 이온 에칭, 리액티브 이온 빔 에칭 등이 있으며, 이들 대부분이 불활성 이온과 반응성 가스를 사용하여 에칭 단면의 이방적 특성을 제공한다. 그러나, 건식에칭은, 에칭된 박막 표면에서 반응성 화학 가스와 이온조사, 플라즈마 방사에 의한 손상이 유발되어 에칭속도를 감소시키거나 전기적으로 소자의 성능을 열화시킨다. 즉, 에너지를 가진 이온의 실리콘 표면 조사는 잔류물층을 형성하고, 불순물 및 에칭가스의 침투, 격자 구조결함을 발생시키는 단점이 있다. 습식에칭은 등방적 특성을 제공하는 것으로, 습식에칭은 낮은 가격, 높은 출력, 훌륭한 선택성 때문에 반도체 공정에서 광범위하게 사용된다. 또한 습식에칭은 낮은 온도에서 동작하여 웨이퍼에 손상을 주지 않는다.

<39> 종래의 반도체 레이저 소자에서는 리지 형성을 위해 주로 습식에칭을 사용하는 반면, 본 발명에서는 상기 건식에칭 및 습식에칭을 함께 사용하여 리지를 형성하는 것이 바람직하다. 본 발명에서 리지를 형성하는 방법은, 먼저, 건식에칭을 통해 리지의 형태를 형성한 후, 건식에칭에 의해 에칭된 표면에 발생한 손상을 습식에칭을 통해 제거하는 방법을 사용한다. 건식에칭만을 사용하여 리지를 형성하면, 건식에칭에 의해 에칭된 부분에 발생하는 손상 때문에, 소자의 성능이 열화된다. 반면, 습식에칭만을 사용하여 리지를 형성하면, 리지 스트라이프 구조의 양 측면은 결정구조에 의해 메사형태로 형성되지만, 리지 스트라이프 구조의 전후면은 역메사 형태로 나타난다. 이러한 역메사구조는 이후 공정에서 전류저지층을 형성할 때, 역메사구조의 하부에는 전류저지층 형성물질이 제대로 성장할 수 없게되는 문제가 발생한다. 따라서, 본

발명에서는 건식에칭을 통해, 리지의 형태를 형성한 후, 상기 건식에칭된 표면을 얇게 습식에칭하여 건식 에칭에 의해 발생한 표면 손상을 제거하는 것이 바람직하다. 본 실시예에서는 리지의 형태가 메사구조인 경우에 대해 설명하고 있으나, 리지의 형태에 의해 본 발명이 한정되는 것은 아니며, 다양한 형태의 메사구조에서 본 발명이 이용될 수 있다.

<40> 다음으로, 상기 마스크를 제거한 후에, 제2 도전형 클래드층(44)의 리지가 형성된 주위로 전류저지층(46)을 형성하고, 상기 전류저지층(46)의 상면에 오믹(Ohmic) 콘택(contact)층을 형성한다. 상기의 공정에서 리지가 반도체 레이저 소자의 레이저 출사 단면 및 그 반대측 단면으로부터 소정의 간격으로 이격되어 형성되므로, 도 4d에 도시된 바와 같이, 리지가 반도체 레이저 소자의 레이저 출사 단면 및 그 반대측 단면에 노출되지 않는다. 따라서, 반도체 레이저 소자를 웨이퍼에서 벽개할 때, 그 벽개면의 구조가 도 1에 도시된 종래의 반도체 레이저 소자의 레이저 출사 단면(벽개면)에 비해 단순해진다. 특히, 벽개시 가해지는 힘을 수직으로 받는 리지구조가 벽개면에 노출되지 않음으로써 벽개시 인가되는 힘의 방향을 변동시키지 않게 되고, 이로 인해 벽개면(반도체 레이저 소자의 출사면 및 그 반대측 면)에 결이 발생하는 확률을 줄일 수 있다.

<41> 도 5a 및 도 5b는 본 발명의 일 실시형태에 따른 반도체 레이저 소자의 단면도이다. 도 5a는 도 4c의 X-X'축을 따라 절개한 단면이다. 도 5a에 도시된 바와 같이, 본 발명에 따른 반도체 레이저 소자의 중심부를 레이저 출사 단면과 평행하게



절개한 단면은 종래의 반도체 레이저 소자의 단면과 동일한 구조를 갖는다. 즉, 제1 도전형 기판(41), 제1 도전형 클래드층(42), 활성층(43), 리지(44a)를 갖는 제2 도전형 클래드층(44)이 순차적으로 적층되고, 리지(44a)의 주변에 제1 도전형의 전류저지층(46)이 형성된 후, 리지(44a)와 전류저지층(46)의 상면에 제2 도전형 오믹(Ohmic) 콘택(contact)층(47)이 형성된 구조를 갖는다.

<42> 다만, 도 5b에 도시된 바와 같이, 본 발명에 따른 반도체 레이저 소자의 중심부를 레이저 출사 단면과 수직으로 절개한 단면은 리지(44a)의 양 측단이 반도체 레이저 소자의 벽개면과 소정의 간격(W)으로 이격되어 있으므로 벽개면에 노출되지 않는다. 종래의 레이저 반도체 소자와는 달리, 본 발명에 의한 반도체 레이저 다이오드는 리지(44a)와 벽개면 사이의 간격(W)에 전류저지층(46)이 형성된다. 이는 전류를 제한, 한정하기 위해서가 아니라, 단지, 리지가 형성된 이후 전류저지층(46)을 형성할 때, 벽개면과 리지의 간격(W)이 전류저지층의 물질로 채워진 것이다.

<43> 특히, 본 발명에 따른 반도체 레이저 소자의 제조방법은 별도의 제조공정의 추가 및 변경 없이, 리지를 형성하기 위한 마스크의 변경을 통해 쉽게 구현될 수 있다. 도 6은 본 발명의 일 실시형태에 따른 반도체 레이저 소자의 웨이퍼 상태를 도시한 평면도이다. 도 2에 도시된 종래의 반도체 레이저 소자의 웨이퍼 상태와 비교해 보면, 종래에는 전후 반도체 레이저 소자의 마스크(또는 리지)(21)가 연결된 상태이므로 벽개시 리지 영역도 함께 벽개되는 반면, 도 6에 도시된 본 발명에 따르면, 전후 반도체 레이저 소자의 마스크(또는 리지)(51)가 바 메이킹 선(52)으로부터 소정의 간격(W)으로 이격되어 형성됨으로, 이후 각각의 칩으로 벽개시 리지 영역은 벽개되지 않고 벽개면에 노출되지 않는다.

- <44> 즉, 종래의 제조공정에서 마스크를 전후 반도체 레이저 소자에 연속적으로 형성하던 방법을, 본 발명에서는 마스크를 바 메이킹 선에서 소정의 간격(W)으로 이격되게 개별 칩단위로 형성하도록 변경함으로써 쉽게 구현될 수 있다.
- <45> 이와 같이, 본 발명은 제2 도전형 클래드층에 리지를 형성함에 있어, 레이저 출사 단면 및 그 반대측 단면으로부터 이격되게 형성함으로써 반도체 레이저 소자의 벽개면(상기 레이저 출사 단면 및 그 반대측 단면)에 리지구조가 노출되지 않는다. 즉, 반도체 레이저 소자의 벽개면(상기 레이저 출사 단면 및 그 반대측 단면)의 적층구조가 단순해짐으로써, 벽개시 가해지는 힘의 방향을 변동시키지 않게 되고, 이로 인해 벽개면에 결이 발생하는 것을 방지하고, 반도체 레이저 소자의 레이저 발진을 향상시키고, 성능 열화를 방지할 수 있다.
- <46> 이상에서 설명한 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니고, 첨부된 청구범위에 의해 한정된다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 형태의 치환, 변형 및 변경이 가능하다는 것은 당 기술분야의 통상의 지식을 가진 자에게는 명백할 것이다.

#### 【발명의 효과】

- <47> 상술한 바와 같이, 본 발명에 따른 반도체 레이저 소자는, 벽개면에 리지가 노출되지 않도록 리지를 벽개면으로부터 소정의 간격으로 이격된 위치에 형성하여 벽개면의 구조를 단순화



1020030041838, ,

출력 일자: 2003/10/22

시킴으로써, 반도체 레이저 소자의 벽개면에 결발생을 방지할 수 있으며, 이를 통해 반도체 레이저 소자의 발진 특성 및 신뢰도를 개선, 향상시킬 수 있는 효과가 있다.

**【특허청구범위】****【청구항 1】**

제1 도전형 기판;

상기 기판 상에 형성된 제1 도전형 클래드층;

상기 제1 클래드층 상면에 형성된 활성층;

상기 활성층 상면에 형성되며, 레이저 출사면측 단면 및 그 반대측 단면으로부터 소정의 간격으로 이격된 위치에 리지를 갖는 제2 도전형 클래드층; 및

상기 리지의 주위에 형성되는 전류저지층을 포함하는 반도체 레이저 소자.

**【청구항 2】**

제1항에 있어서, 상기 간격은,

5 $\mu$ m이상이고, 레이저 출사측 단면과 그 반대측 단면간 거리의 10 % 이내인 것을 특징으로 하는 반도체 레이저 소자.

**【청구항 3】**

반도체 레이저 소자를 제조하는 방법에 있어서,

기판 상에 적어도 제1 도전형 클래드층, 활성층, 제2 도전형 클래드층을 순차적으로 형성하는 단계;

상기 제2 도전형 클래드층 상면에, 레이저 출사면측 단면 및 그 반대측 단면으로부터 소정의 간격으로 이격된 위치에 리지를 형성하기 위한 마스크를 형성하는 단계;

상기 마스크를 이용하여 상기 제2 도전형 클래드층을 소정의 두께로 에칭하여 리지를 형성하는 단계; 및

상기 형성된 리지 주변에 제1 도전형 반도체 물질로 이루어진 전류제한층을 형성하는 단계를 포함하는 반도체 레이저 소자 제조방법.

【청구항 4】

제3항에 있어서, 상기 간격은,

5 $\mu$ m이상이고, 레이저 출사측 단면과 그 반대측 단면간 거리의 10 % 이내인 것을 특징으로 하는 반도체 레이저 소자 제조방법.

【청구항 5】

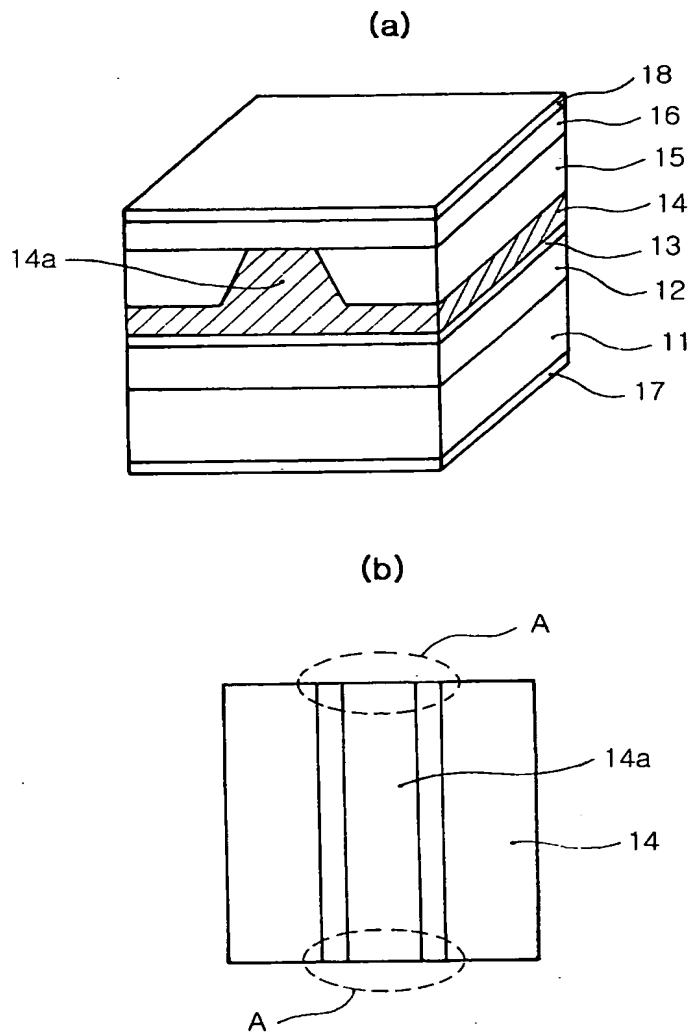
제3항에 있어서, 상기 리지를 형성하는 단계는,

건식에칭방법을 사용하여 리지의 형태를 형성하는 과정 및

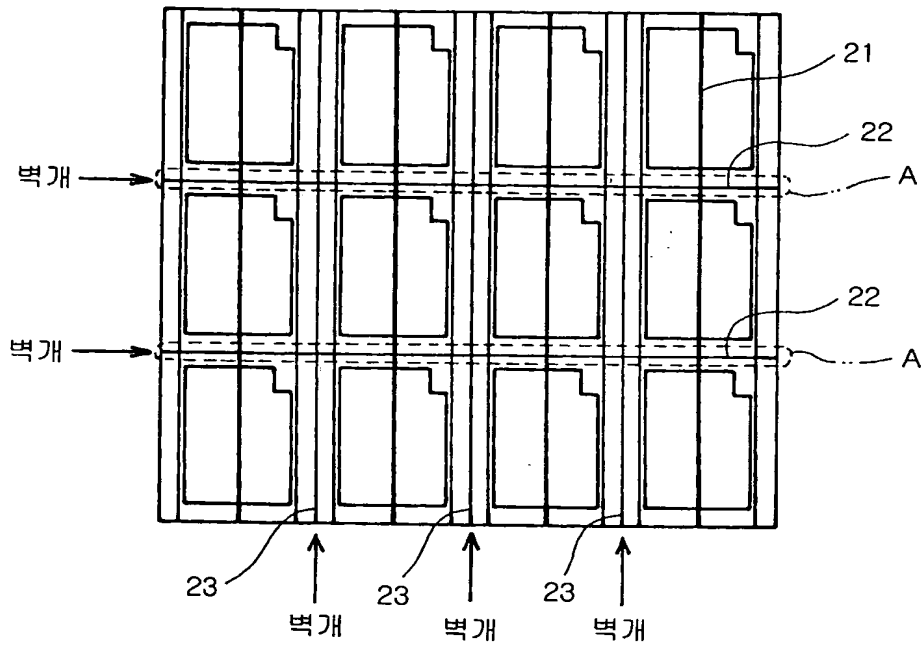
습식에칭방법을 사용하여 리지의 표면에 형성된 흠집을 제거하는 과정을 포함하는 것을 특징으로 하는 반도체 레이저 소자 제조방법.

【도면】

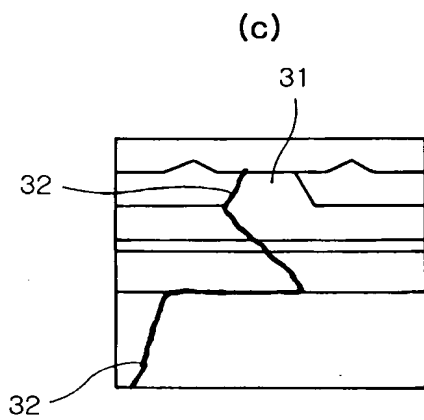
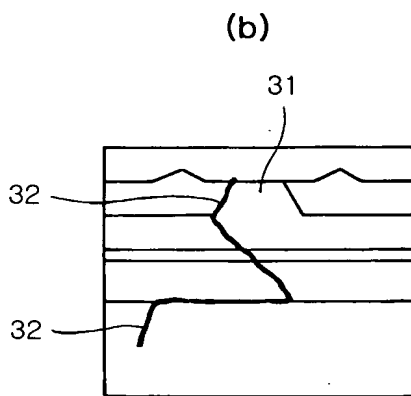
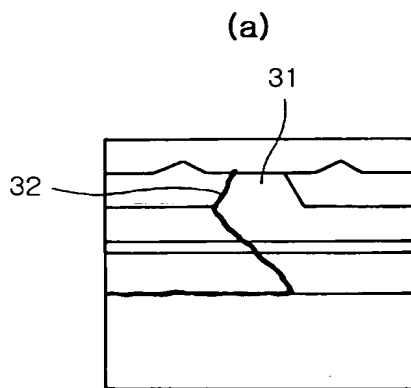
【도 1】



【도 2】

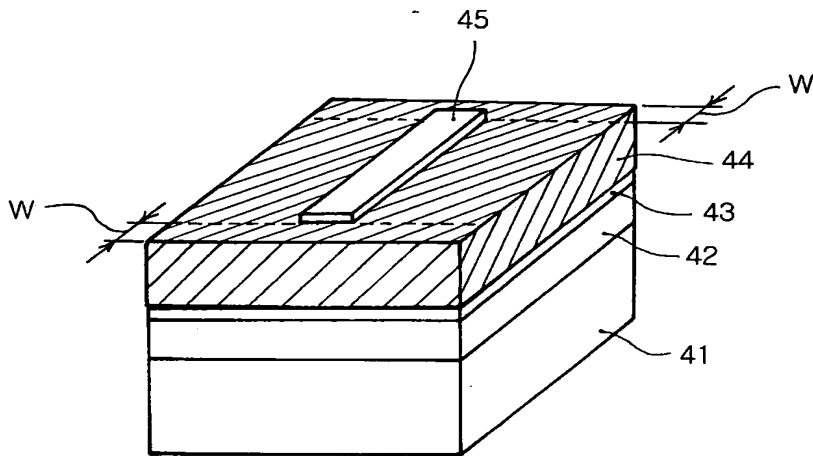


【도 3】

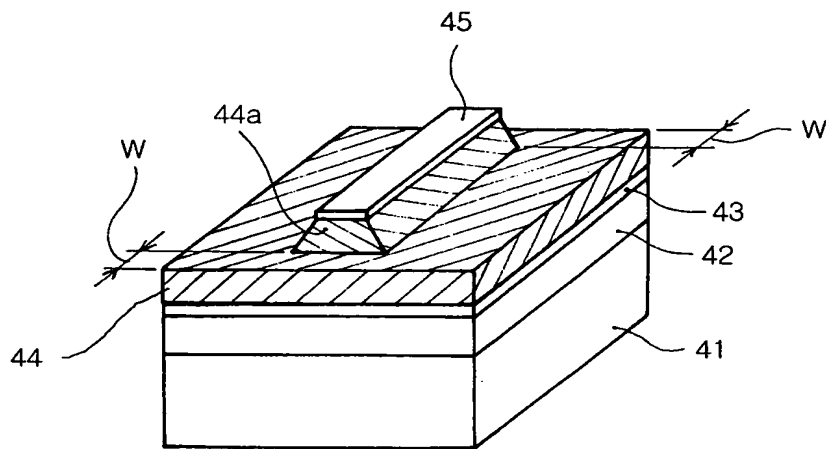




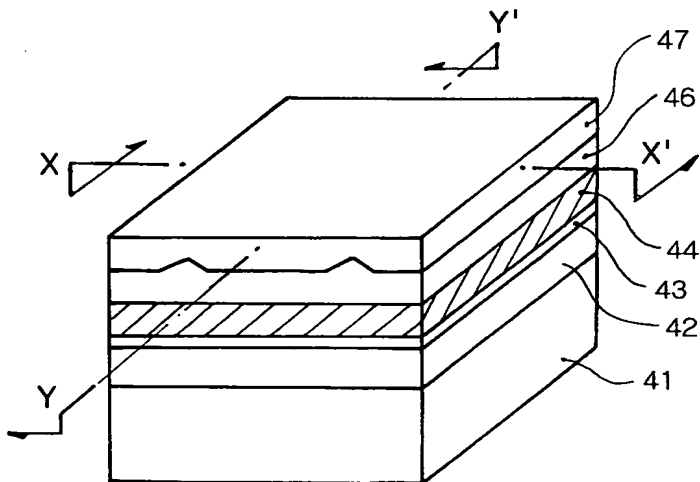
【도 4a】



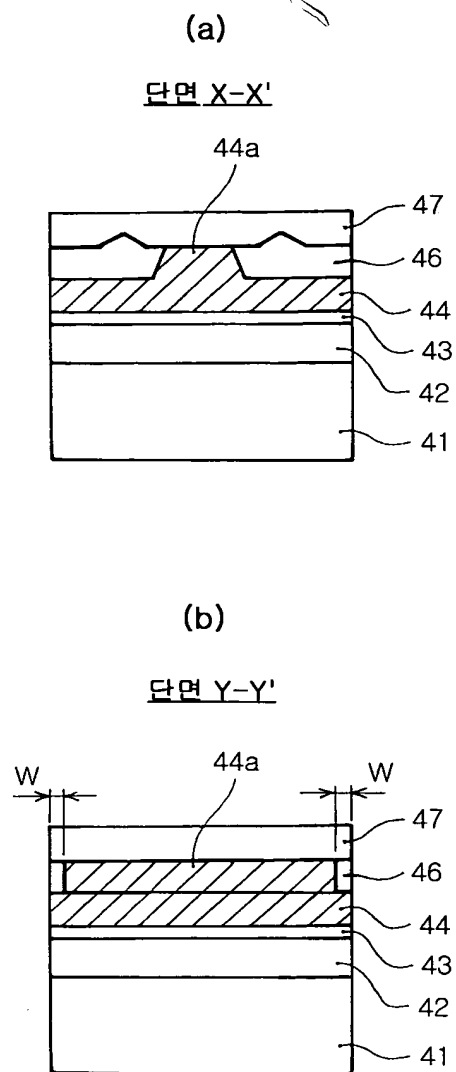
【도 4b】



【도 4c】



【도 5】



【도 6】

